

ATTORNEY DOCKET NO. 5649-1182

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kim et al.

Serial No. To be assigned

Filed: Concurrently herewith

For: METHODS FOR FORMING A THIN FILM ON AN INTEGRATED CIRCUIT
INCLUDING SOFT BAKING A SILICON GLASS FILM

November 24, 2003

Mail Stop PATENT APPLICATION

Commissioner for Patents

PO Box 1450

Alexandria, VA 22313-1450

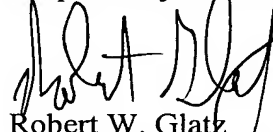
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2003-0009917, filed February 17, 2003.

Respectfully submitted,



Robert W. Glatz
Registration No. 36,811

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

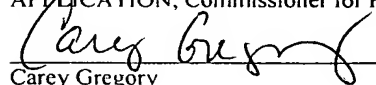
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318416497 US

Date of Deposit: November 24, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0009917
Application Number

출 원 년 월 일 : 2003년 02월 17일
Date of Application FEB 17, 2003

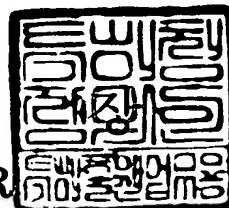
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.17
【발명의 명칭】	박막 형성 방법 및 이를 이용한 트렌치 소자 분리막의 형성 방법
【발명의 영문명칭】	method for forming a insulation layer and method for forming a trench isolation layer using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	김홍근
【성명의 영문표기】	KIM, Hong Gun
【주민등록번호】	720520-1468417
【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 현대아파트 307동 901호
【국적】	KR
【발명자】	
【성명의 국문표기】	홍은기
【성명의 영문표기】	HONG, Eun Kee
【주민등록번호】	680730-1037419
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 110동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	구주선
【성명의 영문표기】	G00, Ju Seon
【주민등록번호】	700412-2108813

【우편번호】 442-727

【주소】 경기도 수원시 팔달구 영통동 신나무실주공아파트 515동
501호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규
에 의한 출원심사 를 청구합니다. 대리인
박영우 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	10 면	10,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	15 항	589,000 원
【합계】		628,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

폴리실라잔을 포함하는 SOG막을 이용한 박막 형성 방법 및 상기 SOG막을 이용하여 트렌치에 매립시키는 소자 분리막의 형성 방법이 개시되어 있다. 단차부를 갖는 기판에 폴리실라잔을 포함하는 SOG 용액을 도포함으로써 상기 단차부에 의해 형성되는 리세스를 충분히 매립시키는 SOG막을 형성한다. 그리고, 상기 SOG막을 소프트 베이킹시킨 후, 상기 SOG막을 전면 식각한다. 이때, 상기 SOG막을 소프트 베이킹시킴으로써 상기 전면 식각을 실시하여도 상기 SOG막의 균일도를 우수하게 확보할 수 있다. 그리고, 상기 전면 식각이 이루어진 결과물 상에 절연막을 적층한다. 이에 따라, 상기 단차부에 의해 형성되는 리세스에 충분한 매립이 가능하고, 상부 표면은 평탄한 구조를 갖는 박막을 용이하게 형성할 수 있다.

【대표도】

도 3d

【명세서】**【발명의 명칭】**

박막 형성 방법 및 이를 이용한 트렌치 소자 분리막의 형성 방법{method for forming a insulation layer and method for forming a trench isolation layer using the same}

【도면의 간단한 설명】

도 1은 종래의 방법에 따라 형성한 SOG막의 지연 시간에 따른 굴절을 및 두께의 변화 추이를 나타내는 그래프이다.

도 2는 종래의 방법에 따라 형성한 SOG막의 지연 시간에 따른 식각량의 변화 추이를 나타내는 그래프이다.

도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 형성 방법을 나타내는 단면도들이다.

도 4는 본 발명의 방법에 따라 형성한 SOG막의 지연 시간에 따른 굴절을 및 두께의 변화 추이를 나타내는 그래프이다.

도 5a 내지 도 5h는 본 발명의 일 실시예에 따른 트렌치 소자 분리막의 형성 방법을 나타내는 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 박막 형성 방법 및 이를 이용한 트렌치 소자 분리막의 형성 방법에 관한 것으로서, 보다 상세하게는 폴리실라잔을 포함하는 SOG(spin on glass)막을 이용한 박

막 형성 방법 및 상기 SOG막을 이용하여 트렌치에 매립시키는 소자 분리막의 형성 방법에 관한 것이다.

<7> 일반적으로, 반도체 장치의 제조에 널리 이용되는 선택적 산화에 의한 소자 분리(이하, "로코스"라 함) 방법은 측면 산화에 의한 버즈-비크(bird's beak) 현상, 열공정으로 인한 버퍼층의 응력에 의한 기판의 결정 결함, 채널 저지를 위한 이온 주입된 불순물의 재분포 등과 같은 문제점을 갖는다. 때문에, 상기 로코스 방법으로는 전기적 특성 향상 및 고집적화 추세에 있는 반도체 장치를 용이하게 제조할 수 없다.

<8> 따라서, 최근에는 상기 로코스 방법의 문제점을 개선하기 위한 일환으로 트렌치(trench)에 소자 분리를 위한 박막을 형성하는 방법이 제안되고 있다. 즉, 기판을 식각하여 트렌치를 형성하고, 상기 트렌치에 절연 물질을 매립함으로써 소자 분리막을 형성하는 셸로우 트렌치 분리(shallow trench isolation) 방법이 제안되고 있는 것이다.

<9> 상기 트렌치 소자 분리 방법은 상기 로코스과 같이 열산화 공정에 의하지 않음으로, 상기 열산화 공정의 실시로 인하여 유발되는 단점들을 다소 줄일 수 있다. 그리고, 상기 트렌치 소자 분리 방법은 상기 로코스과 같이 부분적 산화에 의하지 않고, 절연 물질을 트렌치 내에 매립시키기 때문에 상기 부분적 산화로 인하여 유발되는 버즈-비크 현상을 줄일 수 있다.

<10> 특히, 상기 트렌치 소자 분리 방법은 기술적으로 상기 트렌치의 깊이 조절이 가능하다. 때문에, 디램(DRAM) 장치에 상기 트렌치 소자 분리 방법을 적용할 경우 1기가(Giga)급 이상의 고집적화에 필요한 $0.2\mu\text{m}$ 이하의 폭을 갖는 소자 분리막 즉, 트렌치 소자 분리막의 형성이 가능하다.

- <11> 상기 트렌치 소자 분리막의 일반적인 형성 방법은, 반도체 기판을 식각하여 깊이를 갖는 트렌치를 형성하는 단계와, 상기 트렌치 및 기판에 절연막을 적층시키는 단계 및 상기 트렌치 내에만 상기 절연막이 매립되도록 기판 표면 상에 적층된 절연막을 제거하는 단계로 이루어진다.
- <12> 이때, 상기 트렌치 내에 매립되는 절연막의 예로서는 플라즈마 증대 화학 기상 증착으로 형성한 산화막을 들 수 있다. 그러나, 상기 산화막을 상기 트렌치의 매립 물질로 적용할 경우에는 매립 능력에 한계를 갖는다. 즉, 높은 종횡비(aspect ratio)를 갖는 트렌치에 상기 산화막을 매립시킬 경우 보이드(void)와 같은 불량 발생하는 것이다.
- <13> 따라서, 최근에는 상기 트렌치의 매립 물질로서 매립 능력이 우수한 SOG막을 적용하기도 한다. 그러나, 상기 SOG막의 경우에는 우수한 매립 능력을 나타내지만, 상기 산화막보다 견고하지 못하기 때문에 상기 SOG막을 매립시킨 후, 실시하는 전면 식각 및 화학 기계적 연마 등과 같은 후속 공정에서 많은 문제점을 갖는다.
- <14> 이에 따라, 최근에는 상기 트렌치 소자 분리막으로서 상기 트렌치에 SOG막을 매립시키고, 상기 SOG막 상에 상기 SOG막보다 견고한 절연막을 형성하는 방법이 개발되고 있다.
- <15> 상기 트렌치 소자 분리막으로서 SOG막과 절연막을 순차적으로 적층하는 방법에 대한 예들은 대한민국 등록 특허 165,462호, 대한민국 공개 특허 2001-4258호 및 일본국 공개 특허 2000-114362호에 개시되어 있다.
- <16> 상기 대한민국 등록 특허 165,462호에 의하면, 상기 트렌치 소자 분리막을 형성하기 위한 방법은 트렌치를 갖는 기판에 제1절연막으로서 하이드로젠 실세스퀴옥산

(hydrogen silsesquioxane)을 적층하는 단계와, 500℃ 이상의 고온에서 베이킹을 실시하는 단계와, 상기 제1절연막을 전면 식각하는 단계 및 상기 전면 식각이 이루어진 제1절연막 상에 제2절연막을 형성하는 단계를 갖는다.

<17> 상기 대한민국 공개 특허 2001-4258호에 의하면, 상기 트렌치 소자 분리막을 형성하기 위한 방법은 트렌치를 갖는 기판에 SOG막을 매립하되, 상기 트렌치의 일부분에만 상기 SOG막을 매립시키는 단계와, 상기 SOG막을 큐어링(curing)시키는 단계 및 상기 트렌치의 나머지 부분에 산화막을 매립시키는 단계를 갖는다.

<18> 상기 일본국 공개 특허 2000-114362호에 의하면, 상기 트렌치 소자 분리막을 형성하기 위한 방법은 트렌치를 갖는 기판에 SOG막을 매립하되, 상기 트렌치의 일부분에만 상기 SOG막을 매립시키는 단계와, 400℃의 온도에서 베이킹을 실시하는 단계 및 상기 트렌치의 나머지 부분에 산화막을 매립시키는 단계를 갖는다.

<19> 여기서, 상기 개시된 특허들에 의하면, 상기 트렌치 소자 분리막을 형성할 때 상기 SOG막을 형성한 후, 베이킹 또는 큐어링을 실시하는 것을 확인할 수 있다. 그러나, 상기 베이킹을 400℃ 이상의 온도에서 실시할 경우에는 상기 SOG막이 쉽게 산화되는 현상이 빈번하게 발생한다. 이와 같이, 상기 SOG막이 산화될 경우에 상기 SOG막의 식각율(etch rate)이 달라진다.

<20> 도 1은 종래의 방법에 따라 형성한 SOG막의 지연 시간에 따른 굴절을 및 두께의 변화 추이를 나타낸다. 여기서, 상기 SOG막은 400℃ 정도의 온도 분위기에서 베이킹 즉, 하드 베이킹을 실시한 것이다. 그리고, 상기 지연 시간(delay time)은 상기 SOG막을 하드 베이킹한 후, 대기 상태에 그대로 방치하는 시간이다.

- <21> 이때, 상기 굴절율은 상기 지연 시간(delay time)이 길어짐에 따라 증가하는 것으로 확인되고, 상기 두께는 상기 지연 시간이 길어짐에 따라 감소하는 것으로 확인된다. 이는, 상기 SOG막을 400℃ 정도의 온도 분위기에서 하드 베이킹을 실시할 경우 상기 SOG막의 상태가 안정하지 못하고, 대기 중에서 산소 또는 수분과 반응하여 산화되기 때문인 것으로 판단된다.
- <22> 도 2는 종래의 방법에 따라 형성한 SOG막의 지연 시간에 따른 식각량의 변화 추이를 나타낸다. 여기서, 상기 SOG막은 400℃ 정도의 온도 분위기에서 베이킹 즉, 하드 베이킹을 실시한 것이다.
- <23> 이때, 200 : 1 정도로 희석시킨 HF 용액을 사용하여 상기 SOG막을 식각할 경우, 상기 지연 시간이 약 50시간이 경과될 때까지 상기 SOG막의 식각량(etch amount)이 급격하게 감소하는 것으로 확인된다.
- <24> 이와 같이, 약 400℃ 이상의 고온에서 베이킹을 실시한 SOG막의 경우, 상기 지연 시간이 경과함에 따라 상기 SOG막의 식각량이 변화하는 것을 확인할 수 있다. 때문에, 상기 SOG막을 형성하고, 상기 하드 베이킹을 실시한 후, 전면 식각을 실시할 경우 우수한 균일도의 재현이 이루어지지 않는다. 그리고, 상기 전면 식각이 이루어진 상기 SOG막 상에 산화막을 형성할 경우 상기 SOG막의 균일도가 양호하지 못하기 때문에 상기 산화막에 보이드가 발생한다.
- <25> 따라서, 상기 SOG막이 우수한 매립 능력을 가짐에도 불구하고, 전술한 결함으로 인하여 상기 트렌치 소자 분리막으로서 상기 SOG막을 적극적으로 적용하지 못하는 문제점을 갖는다.

<26> 또한, 상기 트렌치 소자 분리막 이외에도 게이트 전극 또는 금속 배선 패턴 등과 같은 단차부를 갖는 기판 상에도 상기 SOG막과 절연막을 순차적으로 적층하는 방법의 적용이 가능하다. 즉, 상기 단차부를 갖는 기판 상에 층간 절연막으로서 상기 SOG막과 절연막을 순차적으로 적층하는 방법을 적용하는 것이다.

<27> 이와 같이, 상기 단차부에 의해 형성되는 리세스(recess)에 상기 SOG막을 충분하게 매립시킴과 아울러 평탄한 표면을 갖기 위한 층간 절연막을 형성하기 위하여 상기 SOG막과 절연막을 순차적으로 적층하는 방법을 적용하는 것이다.

<28> 그러나, 전술한 문제점으로 인하여 상기 층간 절연막으로서 상기 SOG막과 절연막을 순차적으로 적층하는 방법을 용이하게 적용하지 못한다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명의 제1목적은, 단차부를 갖는 기판 상에 SOG막을 포함하는 박막을 용이하게 형성하기 위한 방법을 제공하는데 있다.

<30> 본 발명의 제2목적은, 트렌치 소자 분리막으로서 SOG막을 포함하는 박막을 용이하게 형성하기 위한 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<31> 상기 제1 목적을 달성하기 위한 본 발명은,

<32> 단차부를 갖는 기판에 폴리실라잔을 포함하는 SOG 용액을 도포하여 상기 단차부에 의해 형성되는 리세스를 충분히 매립시키는 SOG막을 형성하는 단계;

<33> 상기 SOG막을 소프트 베이킹시키는 단계;

<34> 상기 SOG막을 전면 식각하는 단계; 및

- <35> 상기 전면 식각이 이루어진 결과물 상에 절연막을 적층하는 단계를 포함한다.
- <36> 상기 제2목적을 달성하기 위한 본 발명은,
- <37> 기판 상에 형성된 패드 산화막 패턴 및 하드 마스크막 패턴을 식각 마스크로 사용하는 식각을 실시하여 상기 기판에 트렌치를 형성하는 단계;
- <38> 상기 기판에 폴리실라잔을 포함하는 SOG 용액을 도포하여 상기 트렌치를 충분히 매립시키는 SOG막을 형성하는 단계;
- <39> 상기 SOG막을 소프트 베이킹시키는 단계;
- <40> 상기 SOG막을 전면 식각하는 단계;
- <41> 상기 전면 식각이 이루어진 결과물 상에 절연막을 적층하는 단계;
- <42> 상기 절연막의 일부를 제거하여 상기 하드 마스크막 패턴의 표면을 노출시키는 단계;
- <43> 상기 하드 마스크막 패턴 및 패드 산화막 패턴을 제거하는 단계; 및
- <44> 상기 기판의 표면이 노출되도록 상기 기판의 표면 상에 잔류하는 잔여 절연막을 제거하는 단계를 포함한다.
- <45> 본 발명에 의하면, 상기 SOG막을 형성한 후, 소프트 베이킹을 실시한다. 이때, 상기 소프트 베이킹은 150 내지 300℃의 온도 분위기에서 실시된다. 이와 같이, 상기 SOG막을 소프트 베이킹할 경우에는 지연 시간이 경과하여도 RI 및 THK가 거의 일정한 상태를 유지한다.

- <46> 따라서, 상기 방법에 따라 SOG막 및 절연막을 갖는 박막을 형성할 경우, 상기 SOG막은 단차부에 의해 형성된 리세스에 충분한 매립이 이루어지고, 상기 절연막은 우수한 균일도의 갖는 평탄한 표면의 형성이 가능하다. 때문에, 상기 방법에 따라 SOG막 및 절연막을 갖는 박막은 층간 절연막 또는 트렌치 소자 분리막으로 용이한 적용이 가능하다.
- <47> 이하, 첨부한 도면을 참조하여 본 발명의 박막 형성 방법을 상세히 설명하기로 한다.
- <48> 도 3a 내지 도 3d는 본 발명의 일 실시예에 따른 박막 형성 방법을 나타낸다.
- <49> 도 3a를 참조하면, 단차부(32)를 갖는 기판(30)을 마련한다. 상기 단차부(32)의 예로서는 게이트 전극 패턴, 비트 라인과 같은 금속 배선 패턴 또는 트렌치 등을 들 수 있다. 이때, 상기 단차부(32)는 적어도 두 개가 형성되는 것이 바람직하다. 이와 같이, 상기 단차부(32)가 적어도 두 개가 형성됨으로서 상기 단차부(32)에 의해 리세스가 형성된다.
- <50> 도 3b를 참조하면, 상기 단차부(32)를 갖는 기판(30) 상에 폴리실라잔을 포함하는 SOG 용액을 도포하여 상기 단차부(32)에 의해 형성된 리세스에 충분하게 매립시키는 SOG막(34)을 형성한다. 상기 SOG막(34)을 형성하기 위한 SOG 용액의 도포는 스핀-코팅 방법에 의해 달성된다.
- <51> 그리고, 상기 SOG막(34)을 소프트 베이킹시킨다. 이때, 상기 소프트 베이킹의 온도가 150℃ 미만일 경우에는 상기 SOG막(34)의 경화가 용이하게 이루어지지 않는다. 또한,

상기 소프트 베이킹의 온도가 300℃를 초과할 경우에는 지연 시간에 따른 상기 SOG막(34)의 RI 및 THK가 변화하는 특성을 갖는다.

<52> 따라서, 상기 소프트 베이킹의 온도는 150 내지 300℃인 것이 바람직하다. 때문에, 본 발명에서는 상기 SOG막(34)을 150 내지 300℃ 정도의 온도 분위기에서 소프트 베이킹을 실시한다. 특히, 본 발명에서는 상기 소프트 베이킹만을 단독으로 실시한다.

<53> 도 3c를 참조하면, 상기 SOG막(34)을 전면 식각한다. 이에 따라, 상기 단차부(32)의 상부 표면 상에 형성된 SOG막(34)이 제거되고, 상기 단차부(32)에 의해 형성된 리세스 내에만 상기 SOG막(34a)이 매립된다. 특히, 상기 전면 식각을 실시할 때 과도 식각을 실시함으로써 상기 단차부(32)의 리세스의 일정 깊이까지만 상기 SOG막(34a)이 매립된다.

<54> 상기 전면 식각은 습식 식각 또는 건식 식각에 의해 달성된다. 상기 습식 식각의 경우에는 HF 용액을 사용하되, 약 200 : 1로 희석시킨 HF 용액을 사용하는 것이 바람직하다. 이는, 상기 HF 용액으로 인하여 상기 전면 식각에 의해 노출되는 단차부(32)가 손상되는 것을 줄이기 위함이다. 그리고, 상기 건식 식각의 경우에는 C-F계 가스를 주로 사용한다. 상기 C-F계 가스의 예로서는 C₅F₈, C₄F₈, C₄F₆, CH₂F₂ 등을 들 수 있다. 상기 C-F계 가스의 사용 또한 상기 전면 식각에 의해 노출되는 단차부(32)의 손상을 줄이기 위함이다.

<55> 이와 같이, 상기 전면 식각을 실시함에 따라 상기 단차부(32)에 의해 형성된 리세스 내의 일정 깊이까지만 상기 SOG막(34a)이 매립된다. 즉, 상기 단차부(32)에 의해 형성된 리세스의 입구 부위까지 상기 SOG막(34a)이 매립되는 것이 아니라 상기 리세스의 입구 부위보다 다소 낮은 부위까지만 상기 SOG막(34a)이 매립되는 것이다. 여기서, 상기

단차부(32)의 간격이 매우 협소하여 상기 리세스가 갖는 종횡비가 큰 경우에도 상기 SOG막(34a)은 충분한 매립이 이루어진다. 이는, 상기 SOG막(34a)의 매립 특성이 매우 우수하기 때문이다.

<56> 그리고, 상기 전면 식각을 실시한 후, 열처리를 실시한다. 이때, 상기 열처리를 400℃ 미만의 온도에서 실시할 경우에는 상기 SOG막(34a)이 실리콘 산화막으로 변환이 용이하게 이루어지지 않고, 상기 열처리를 1,200℃를 초과하는 온도에서 실시할 경우에는 상기 전면 식각이 이루어진 SOG막(34a)을 갖는 기판(30)이 어느 정도 손상된다.

<57> 따라서, 상기 전면 식각을 실시한 후, 약 400 내지 1,200℃의 온도 분위기에서 열처리를 실시하는 것이 바람직하다. 이와 같이, 상기 열처리를 실시함으로써 폴리실라잔을 포함하는 SOG막(34a)은 Si-O 결합으로 변환되어 실리콘 산화막으로 변화하게 된다. 이때, 상기 단차부(32)의 리세스에 충분하게 매립된 상태에서 상기 열처리를 실시하기 때문에 상기 리세스에서의 매립 특성에는 지장을 끼치지 않는다.

<58> 도 3d를 참조하면, 상기 단차부(32)의 리세스에 매립된 SOG막(34a)을 갖는 기판(30) 상에 절연막(36)을 적층한다. 상기 절연막(36)은 산화막으로서 화학 기상 증착에 의해 적층하는 것이 바람직하다. 특히, 상기 산화막은 플라즈마 증대 화학 기상 증착에 의해 적층하는 것이 보다 바람직한데, 이는 상기 플라즈마 증대 화학 기상 증착에 의해 적층되는 산화막이 다소 치밀한 구조를 갖기 때문이다. 이외에도, 상기 절연막(36)으로 적용하기 위한 산화막의 예로서는 USG막, TEOS막, PSG막, BPSG막 등을 들 수 있다.

<59> 이에 따라, 상기 단차부(32)의 리세스에는 SOG막(34a) 형성되고, 상기 단차부(32) 및 SOG막(34a) 상에는 절연막(36)이 형성된다.

- <60> 이어서, 화학 기계적 연마를 실시하여 상기 절연막(36)의 표면을 평탄하게 만든다. 이때, 상기 절연막(36)은 상기 SOG막(34a)보다 견고하기 때문에 상기 화학 기계적 연마를 실시하여도 상기 화학 기계적 연마에 의한 손상을 거의 받지 않는다.
- <61> 따라서, 상기 방법에 의하면 상기 단차부의 리세스에는 매립 특성이 우수하고, 그것의 상부 표면에는 평탄한 표면의 형성이 가능한 박막을 형성할 수 있다.
- <62> 그리고, 상기 150 내지 300℃ 정도의 온도 분위기에서 상기 SOG막을 소프트 베이킹 시킴으로서, 후속되는 전면 식각 등에 의한 영향을 줄일 수 있다. 특히, 종래와 같이 400℃ 이상의 온도 분위기에서 상기 SOG막을 하드 베이킹시킴으로서 나타나는 상기 SOG막의 RI 및 THK 등이 지연 시간에 따라 변화하는 것을 현저하게 줄일 수 있다. 때문에, 상기 SOG막을 형성하고, 상기 소프트 베이킹을 실시한 후, 전면 식각을 실시할 경우 우수한 균일도의 재현이 이루어진다. 그리고, 상기 전면 식각이 이루어진 상기 SOG막 상에 절연막을 형성할 경우 상기 SOG막의 균일도가 양호하기 때문에 상기 절연막에 보이드와 같은 불량 발생하지 않는다.
- <63> 도 4는 본 발명의 방법에 따라 형성한 SOG막의 지연 시간에 따른 굴절을 및 두께의 변화 추이를 나타낸다. 여기서, 상기 SOG막은 150℃ 정도의 온도 분위기에서 베이킹 즉, 소프트 베이킹을 실시한 것이다. 이때, 상기 굴절을 및 두께는 상기 지연 시간이 경과하여도 변화가 없는 것을 확인할 수 있다.
- <64> 따라서, 전술한 바와 같이, 상기 SOG막을 소프트 베이킹을 실시한 후, 전면 식각을 수행하여도 상기 SOG막은 별다른 지장을 받지 않는다. 즉, 상기 SOG막을 소프트 베이킹을 실시한 후, HF 용액을 이용한 식각을 실시하여도 지연 시간에 따른 식각량이 거의 일정하게 관찰되고 있다. 이와 같이, 상기 소프트 베이킹을 실시한 SOG막의 경우, 후속되

는 식각 공정을 진행하여도 우수한 균일도의 확보가 가능하다. 때문에, 상기 소프트 베이킹 및 식각 공정을 실시한 SOG막 상에 형성되는 절연막의 경우 상기 SOG막으로 인하여 상기 절연막에 나타나는 불량을 현저하게 줄일 수 있다.

<65> 이하, 첨부한 도면을 참조하여 본 발명의 트렌치 소자 분리막의 형성 방법을 상세히 설명하기로 한다.

<66> 도 5a 내지 도 5h는 본 발명의 일 실시예에 따른 트렌치 소자 분리막의 형성 방법을 나타낸다.

<67> 도 5a를 참조하면, 기판(50) 상에 패드 산화막 패턴(52) 및 하드 마스크막 패턴(54)을 형성한다. 상기 패드 산화막 패턴(52) 및 하드 마스크막 패턴(54)의 형성은 다음과 같다. 먼저, 상기 기판(50) 상에 패드 산화막 및 하드 마스크막을 순차적으로 적층한다. 그리고, 상기 하드 마스크막 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴의 형성은 통상의 사진 식각 공정에 의해 달성된다. 이어서, 상기 포토레지스트 패턴을 식각 마스크로 사용한 식각 공정을 실시한다. 따라서, 상기 포토레지스트 패턴에 의해 노출된 하드 마스크막 및 패드 산화막이 순차적으로 제거된다. 그리고, 상기 식각 마스크로 사용한 포토레지스트 패턴을 스트립 공정 및 에칭 공정을 실시하여 제거한다.

<68> 이에 따라, 상기 기판(50) 상에 패드 산화막 패턴(52) 및 하드 마스크막 패턴(54)이 형성된다.

<69> 도 5b를 참조하면, 상기 패드 산화막 패턴(52) 및 하드 마스크막 패턴(54)을 식각 마스크로 사용한 식각을 실시한다. 이에 따라, 상기 패드 산화막 패턴(52) 및 하드 마스크

크막 패턴(54)에 의해 노출된 기판(50)이 일부 제거된다. 이와 같이, 상기 기판(50)이 일부 제거됨에 따라 상기 기판(50)에는 깊이를 갖는 트렌치(58)가 형성된다.

<70> 이어서, 상기 트렌치(58)를 갖는 기판(50)의 표면을 따라 라이너(56)를 연속적으로 형성한다. 즉, 상기 하드 마스크막 패턴(54)의 표면과 측벽, 패드 산화막 패턴(52)의 측벽 그리고 트렌치(58)의 측벽 및 저면에 상기 라이너(56)를 연속적으로 적층하는 것이다. 여기서, 상기 라이너(56)의 예로서는 실리콘 질화막을 들 수 있다. 그리고, 상기 라이너(56)의 형성은 생략해도 무방하다.

<71> 도 5c를 참조하면, 상기 트렌치(58)를 갖는 기판(50) 상에 폴리실라잔을 포함하는 SOG용액을 도포한다. 이에 따라, 상기 트렌치(58)에 매립되는 SOG막(60)이 형성된다. 이때, 상기 SOG막(60)은 상기 트렌치(58)에 매립됨과 아울러 상기 라이너(56)의 표면 상에도 형성된다. 여기서, 상기 SOG막(60)은 매립 특성이 매우 우수하기 때문에 상기 트렌치(58)에 충분하게 매립된다. 즉, 상기 SOG막(60)은 보이드의 발생없이 상기 트렌치(58)에 매립됨이 가능하다.

<72> 이어서, 상기 SOG막(60)을 150 내지 300℃ 정도의 온도 분위기에서 소프트 베이킹을 실시한다. 이에 따라, 상기 SOG막(60)은 경화가 이루어진다. 특히, 상기 소프트 베이킹을 실시함으로써 상기 SOG막(60)은 지연 시간에 따른 RI 및 THK 등이 거의 일정하게 나타난다. 즉, 상기 지연 시간에 따른 상기 SOG막(60)의 RI 및 THK 등의 변화가 거의 발생하지 않는다는 것이다. 때문에, 상기 소프트 베이킹을 실시한 SOG막(60)의 경우 전면 식각 또는 화학 기계적 연마와 같은 후속 공정을 실시하여도 식각량의 급격한 변화와 같은 불량 요소가 발생하지 않는다.

- <73> 도 5d를 참조하면, 상기 SOG막(60)을 전면 식각한다. 이때, 상기 전면 식각은 건식 식각 또는 습식 식각에 의해 달성된다. 하지만, 상기 전면 식각은 HF 용액을 사용한 습식 식각에 의해 달성되는 것이 바람직하다. 그리고, 상기 전면 식각에서 상기 라이너(56)가 식각 저지막의 역할을 갖는다. 때문에, 상기 전면 식각을 실시하여도 상기 하드 마스크막 패턴(54) 및 패드 산화막 패턴(52)은 거의 영향을 받지 않는다.
- <74> 이와 같이, 상기 전면 식각을 실시함에 따라 상기 SOG막(60a)은 상기 기판의 트렌치(58)에만 매립된 상태를 갖는다. 이때, 상기 트렌치의 일정 부분까지만 상기 SOG막(60a)이 매립된다. 즉, 상기 트렌치(58)의 입구 부위의 아래쪽까지만 매립된다. 그리고, 상기 전면 식각이 이루어진 SOG막(60a)은 소프트 베이킹을 실시한 상태에 있기 때문에 상기 전면 식각을 실시하여도 그것의 표면은 우수한 균일도를 갖는다. 이는, 상기 소프트 베이킹을 통하여 상기 전면 식각이 이루어진 SOG막(60a)의 특성이 변화하는 것을 억제시키기 때문이다.
- <75> 이와 같이, 상기 전면 식각을 실시한 후, 상기 SOG막(60a)을 갖는 기판을 열처리한다. 상기 열처리는 400 내지 1,200℃ 정도의 온도 분위기에서 실시된다. 이와 같이, 상기 열처리를 실시함으로써 상기 전면 식각이 이루어진 SOG막(60a)은 실리콘 산화막으로 변하게 된다.
- <76> 도 5e를 참조하면, 상기 전면 식각이 이루어진 SOG막(60a)을 갖는 기판(50) 상에 절연막(62)을 적층한다. 이때, 상기 절연막(62)은 화학 기상 증착에 의해 형성되는 것이 바람직하고, 플라즈마 증대 화학 기상 증착에 의해 형성되는 것이 더욱 바람직하다. 그리고, 상기 절연막(62)은 상기 플라즈마 증대 화학 기상 증착에 의해 형성되는 산화막인 것이 바람직하다.

- <77> 이와 같이, 상기 절연막(62)을 적층함으로서 상기 절연막(62)은 상기 전면 식각이 이루어진 SOG막(60a) 뿐만 아니라 상기 기판(60)의 상부 표면 상에도 형성된다.
- <78> 도 5f를 참조하면, 화학 기계적 연마를 실시하여 상기 절연막(62)의 높이를 낮춘다. 이때, 상기 화학 기계적 연마에 의한 상기 절연막(62)의 제거는 상기 라이너(56) 또는 상기 하드 마스크막 패턴(54)이 노출되는 시점까지 이루어진다. 하지만, 상기 하드 마스크막 패턴(54)이 노출되는 시점까지 상기 화학 기계적 연마가 이루어지는 것이 바람직하다.
- <79> 이와 같이, 상기 화학 기계적 연마를 실시함으로서 높이가 낮아진 절연막(62a)이 형성된다.
- <80> 도 5g를 참조하면, 상기 하드 마스크막 패턴(54) 및 패드 산화막 패턴(52)을 제거한다. 상기 제거는 건식 식각 또는 습식 식각에 의해 달성된다.
- <81> 이와 같이, 상기 제거에 의해 상기 기판(50)은 상기 트렌치(58)에 SOG막(60a)이 형성되고, 상기 SOG막(60a) 상에 높이가 낮아진 절연막(62a) 즉 잔여 절연막이 형성된 구조를 갖는다.
- <82> 도 5h를 참조하면, 화학 기계적 연마를 실시하여 상기 절연막(62a)을 연마한다. 이때, 상기 화학 기계적 연마는 상기 기판(50)의 표면 부위까지 실시된다. 따라서, 상기 연마를 실시함으로서 상기 기판(50)에는 트렌치 소자 분리막(70)이 형성된다. 즉, 상기 트렌치(58) 내에 상기 SOG막(60a) 및 절연막(62b)이 매립된 트렌치 소자 분리막(70)이 형성된다.

<83> 이와 같이, 상기 SOG막 및 절연막의 순차적 적층을 이용하여 상기 트렌치 소자 분리막을 형성함으로써 상기 트렌치 소자 분리막을 상기 트렌치에 충분하게 매립시킬 수 있다. 특히, 상기 트렌치 소자 분리막을 형성할 때 상기 SOG막을 적용함으로써 발생하는 후속 공정의 문제점을 어느 정도 해결할 수 있다.

【발명의 효과】

<84> 따라서, 본 발명에 의하면, 소프트 베이킹의 실시만을 수행함으로써 매립 특성이 우수한 SOG막이 갖는 결점을 줄일 수 있다. 때문에, 단차부에 의해 형성되는 리세스에 충분한 매립이 가능하고, 상부 표면은 평탄한 구조를 갖는 박막을 용이하게 형성할 수 있다.

<85> 이에 따라, 본 발명의 방법을 반도체 장치의 제조에 적용할 경우 반도체 장치의 제조에 따른 신뢰도가 향상되는 효과를 기대할 수 있다.

<86> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

단차부를 갖는 기판에 폴리실라잔을 포함하는 SOG 용액을 도포하여 상기 단차부에 의해 형성되는 리세스를 충분히 매립시키는 SOG막을 형성하는 단계;

상기 SOG막을 소프트 베이킹시키는 단계;

상기 SOG막을 전면 식각하는 단계; 및

상기 전면 식각이 이루어진 결과물 상에 절연막을 적층하는 단계를 포함하는 박막 형성 방법.

【청구항 2】

제1항에 있어서, 상기 소프트 베이킹은 100 내지 300℃의 온도 분위기에서 실시하는 것을 특징으로 하는 박막 형성 방법.

【청구항 3】

제1항에 있어서, 상기 전면 식각은 HF 용액을 사용하는 습식 식각에 의해 달성되는 것을 특징으로 하는 박막 형성 방법.

【청구항 4】

제1항에 있어서, 상기 절연막은 화학 기상 증착에 의해 적층되는 산화막인 것을 특징으로 하는 박막 형성 방법.

【청구항 5】

제1항에 있어서, 상기 결과물을 갖는 기판을 열처리시키는 단계를 더 포함하는 것을 특징으로 하는 박막 형성 방법.

【청구항 6】

제5항에 있어서, 상기 열처리는 400 내지 1,200℃의 온도 분위기에서 실시하는 것을 특징으로 하는 박막 형성 방법.

【청구항 7】

제1항에 있어서, 상기 단차부는 적어도 두 개의 게이트 전극, 적어도 두 개의 금속 배선 패턴 또는 기판에 형성된 트렌치에 의해 형성된 것을 특징으로 하는 박막 형성 방법.

【청구항 8】

제1항에 있어서, 화학 기계적 연마를 실시하여 상기 절연막을 평탄한 표면을 갖는 절연막으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 형성 방법.

【청구항 9】

기판 상에 형성된 패드 산화막 패턴 및 하드 마스크막 패턴을 식각 마스크로 사용하는 식각을 실시하여 상기 기판에 트렌치를 형성하는 단계;

상기 기판에 폴리실라잔을 포함하는 SOG 용액을 도포하여 상기 트렌치를 충분히 매립시키는 SOG막을 형성하는 단계;

상기 SOG막을 소프트 베이킹시키는 단계;

상기 SOG막을 전면 식각하는 단계;

상기 전면 식각이 이루어진 결과물 상에 절연막을 적층하는 단계;

상기 절연막의 일부를 제거하여 상기 하드 마스크막 패턴의 표면을 노출시키는 단계;

상기 하드 마스크막 패턴 및 패드 산화막 패턴을 제거하는 단계; 및

상기 기판의 표면이 노출되도록 상기 기판의 표면 상에 잔류하는 잔여 절연막을 제거하는 단계를 포함하는 트렌치 소자 분리막의 형성 방법.

【청구항 10】

제9항에 있어서, 상기 소프트 베이킹은 100 내지 300℃의 온도 분위기에서 실시하는 것을 특징으로 하는 트렌치 소자 분리막의 형성 방법.

【청구항 11】

제9항에 있어서, 상기 전면 식각은 HF 용액을 사용하는 습식 식각에 의해 달성되는 것을 특징으로 하는 트렌치 소자 분리막의 형성 방법.

【청구항 12】

제9항에 있어서, 상기 절연막은 화학 기상 증착에 의해 적층되는 산화막인 것을 특징으로 하는 트렌치 소자 분리막의 형성 방법.

【청구항 13】

제9항에 있어서, 상기 결과물을 갖는 기판을 400 내지 1,200℃의 온도 분위기에서 열처리시키는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자 분리막의 형성 방법.

【청구항 14】

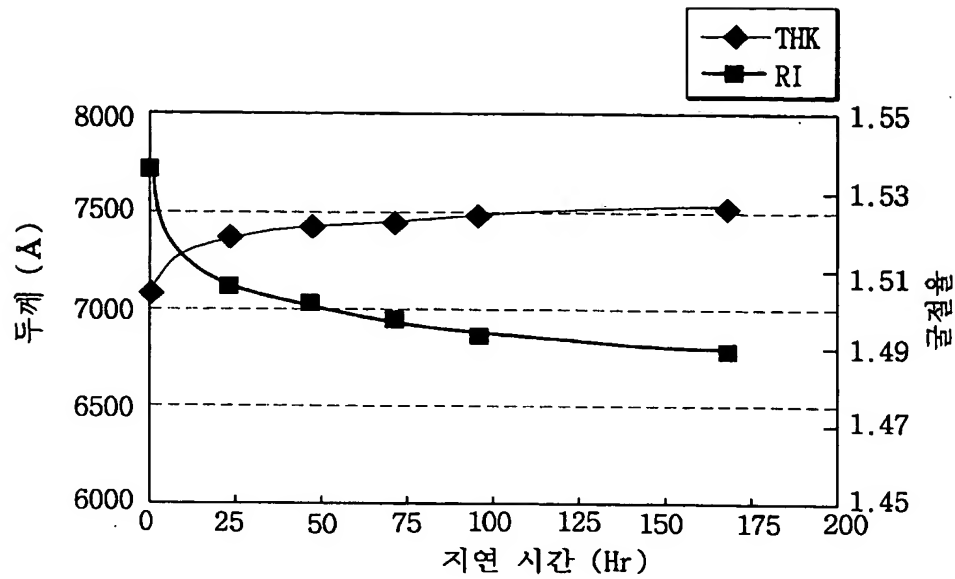
제9항에 있어서, 상기 잔여 절연막의 제거는 화학 기계적 연삭에 의해 달성되는 것을 특징으로 하는 트렌치 소자 분리막의 형성 방법.

【청구항 15】

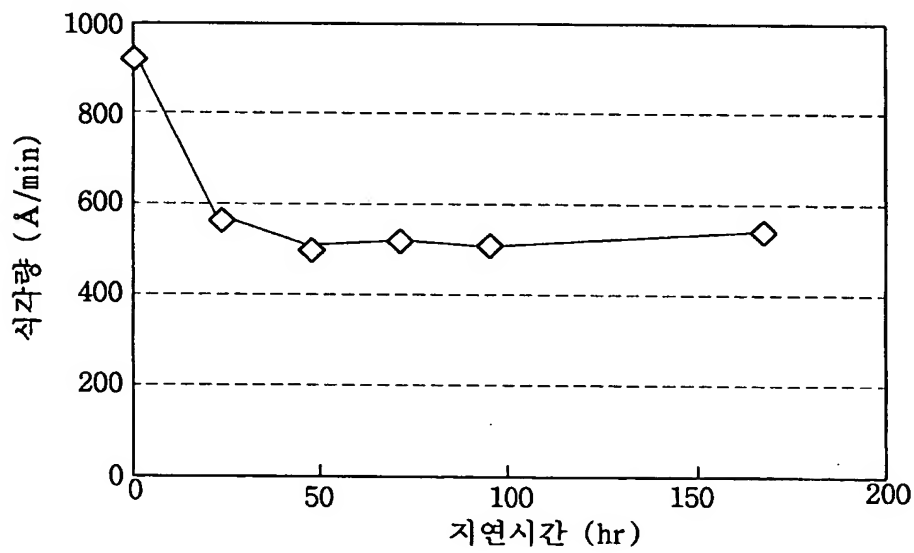
제9항에 있어서, 상기 기판의 표면과, 상기 트렌치의 측벽 및 저면에 절연물을 갖는 라이너를 연속적으로 형성하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 소자 분리막의 형성 방법.

【도면】

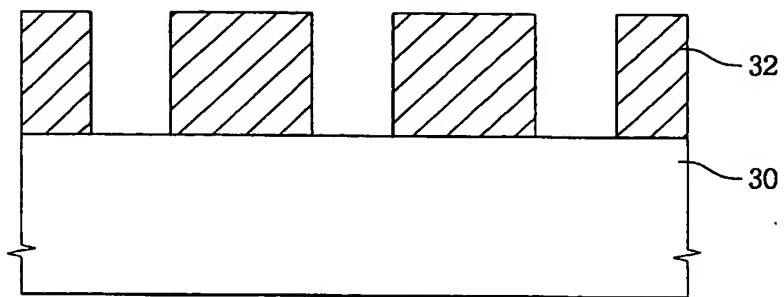
【도 1】



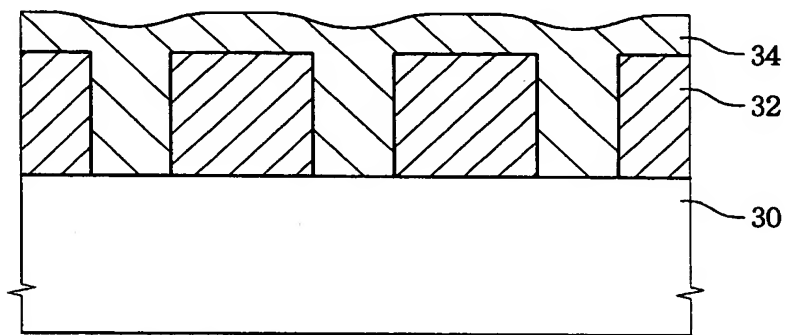
【도 2】



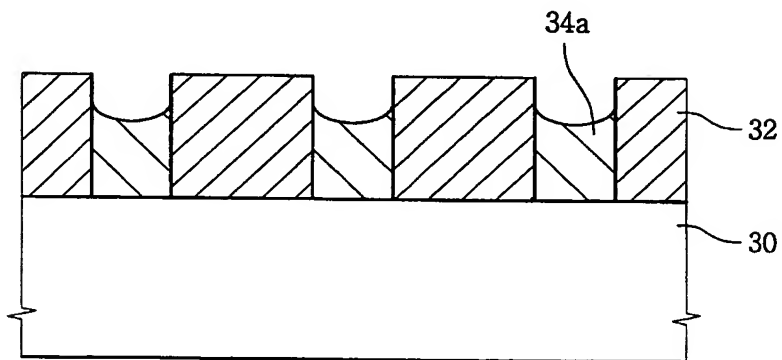
【도 3a】



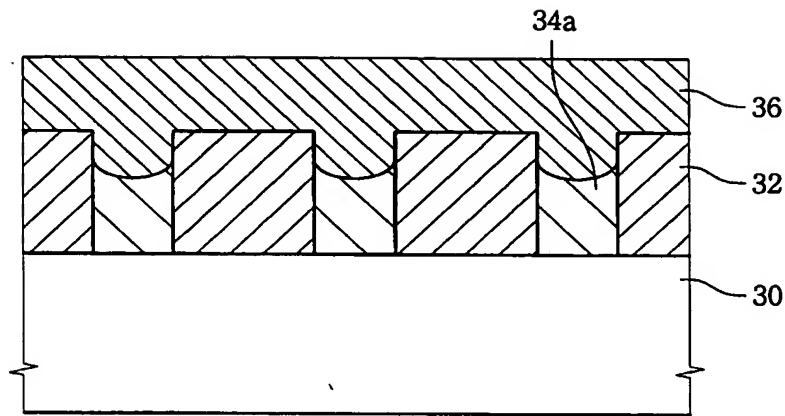
【도 3b】



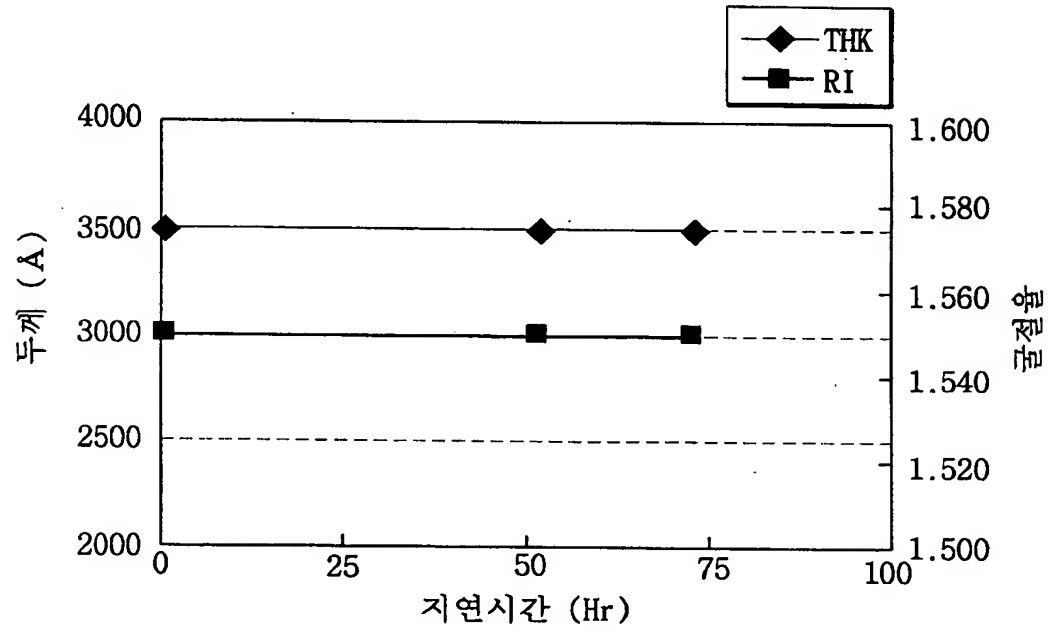
【도 3c】



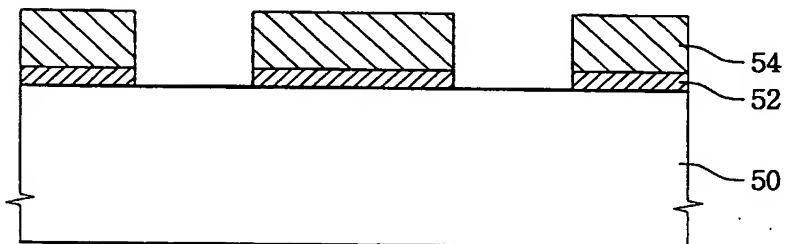
【도 3d】



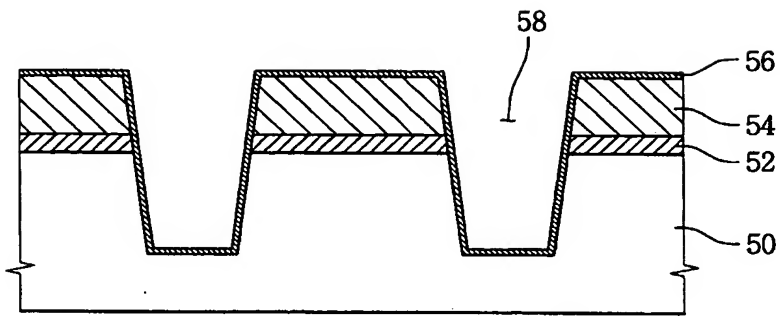
【도 4】



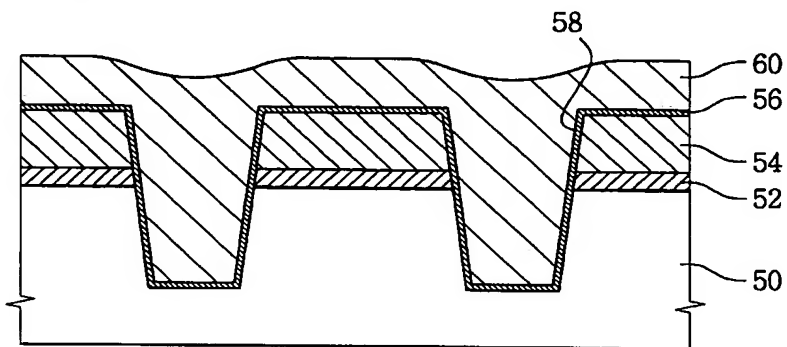
【도 5a】



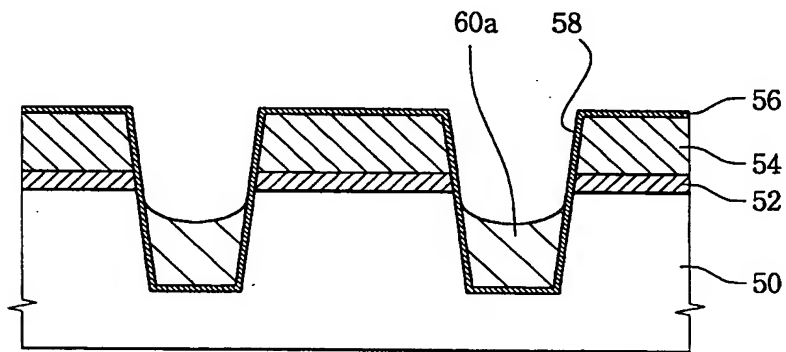
【도 5b】



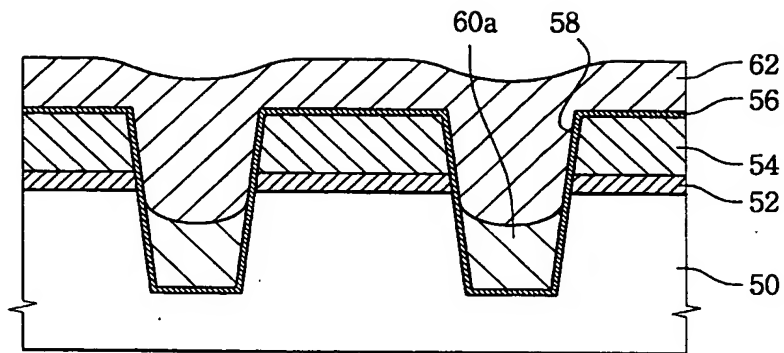
【도 5c】



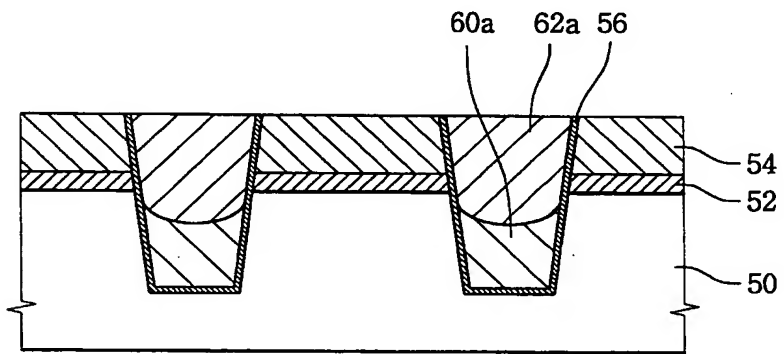
【도 5d】



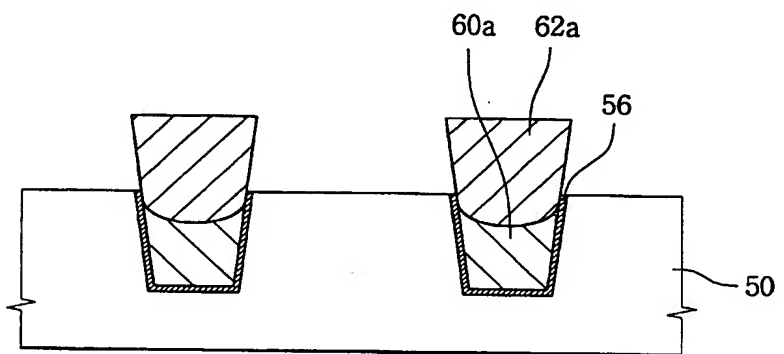
【도 5e】



【도 5f】



【도 5g】



【도 5h】

